

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:

MIKIHIKO SUGIURA et al.

Serial No.: To be assigned

: Art Unit: To be assigned

Filed: Herewith

: Examiner: To be assigned

For: ATM HEADER CONVERSION CIRCUIT
AND METHOD

: Atty Docket: 21900/0047

J1046 U.S. PRO
10/08046
02/25/02



SUBMISSION OF CERTIFIED PRIORITY DOCUMENT(S) and
CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents
Washington, D.C. 20231

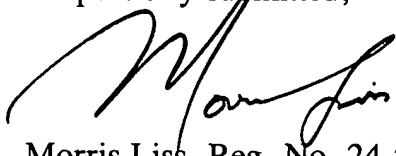
Sir:

Priority under 35 U.S.C. § 119 is hereby claimed to the following priority document(s), certified copies of which are enclosed. The documents were filed in a foreign country within the proper statutory period prior to the filing of the above-referenced United States patent application.

<u>Priority Document Serial No.</u>	<u>Country</u>	<u>Filing Date</u>
<u>2001-055849</u>	<u>Japan</u>	<u>02/28/2001</u>

Acknowledgement of this claim and submission in the next official communication is respectfully requested.

Respectfully submitted,



Morris Liss, Reg. No. 24,510
Connolly Bove Lodge & Hutz LLP
1990 M Street, N.W.
Washington, D.C. 20036-3425
Telephone: 202-331-7111

Date: 2/25/02

日本国特許庁
JAPAN PATENT OFFICE

J1046 U.S. PTO
10/080406
02/25/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 2月28日

出願番号

Application Number:

特願2001-055849

出願人

Applicant(s):

松下電器産業株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 4月27日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3036177

【書類名】 特許願
 【整理番号】 2900730313
 【あて先】 特許庁長官殿
 【国際特許分類】 H04L 9/06
 H04L 12/00

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 松下通信
 工業株式会社内
 【氏名】 杉浦 幹人

【発明者】

【住所又は居所】 神奈川県横浜市港北区綱島東四丁目3番1号 松下通信
 工業株式会社内
 【氏名】 青山 恭弘

【特許出願人】

【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100093067

【弁理士】

【氏名又は名称】 二瓶 正敬

【手数料の表示】

【予納台帳番号】 039103
 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0003222
 【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 ATMセルヘッダ変換回路及び方法

【特許請求の範囲】

【請求項1】 複数のアドレスの各々毎に第1及び第2のATMセルヘッダデータを対にしてエントリデータとして記憶するエントリデータ記憶手段と、

 入力セルヘッダデータと、前記エントリデータ記憶手段に記憶されている第1及び第2のATMセルヘッダデータのうち、変換対象のATMセルヘッダデータの照合位置を示す信号に基づいて第1及び第2のATMセルヘッダデータの一方とを部分的に、かつ、各アドレス毎に照合し、各アドレス毎の照合結果を出力する部分照合手段と、

 前記各アドレス毎の照合結果に基づいて、照合結果が一致する前記エントリデータ記憶手段のアドレスを抽出するアドレス抽出手段と、

 前記アドレス抽出手段により抽出されたアドレスの第1及び第2のATMセルヘッダデータの他方を変換後のATMセルヘッダデータとして前記エントリデータ記憶手段から出力するセルヘッダ出力手段とを、

 備えたATMセルヘッダ変換回路。

【請求項2】 前記第1又は第2のATMセルヘッダデータの照合位置を示す信号はビット単位で指定する信号であって、前記部分照合手段は入力セルヘッダデータと第1及び第2のATMセルヘッダデータの一方をビット単位で照合する請求項1に記載のATMセルヘッダ変換回路。

【請求項3】 前記第1又は第2のATMセルヘッダデータの照合位置を示す信号は各データを1ワードとしてワード単位で指定する信号であって、前記部分照合手段は入力セルヘッダデータと第1及び第2のATMセルヘッダデータの一方をワード単位で照合する請求項1に記載のATMセルヘッダ変換回路。

【請求項4】 前記第1、第2のATMセルヘッダデータを各1ワードとしてワード単位で指定する信号と前記エントリデータ記憶手段の読み出しアドレスに基づいて、前記エントリデータ記憶手段に記憶されている第1又は第2のATMセルヘッダデータを部分的に読み出すエントリデータ部分読み出し手段を更に備えた請求項1ないし3のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項5】 前記第1、第2のATMセルヘッダデータを各1ワードとしてワード単位で指定する信号と前記エントリデータ記憶手段の書き込みアドレスに基づいて、第1又は第2のATMセルヘッダデータを前記エントリデータ記憶手段に部分的に書き込むエントリデータ部分書き込み手段を更に備えた請求項1ないし4のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項6】 指定するワード数が可変である請求項3ないし5のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項7】 1ワードに割り当てるビット数が可変である請求項3ないし5のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項8】 指定するワード数と1ワードに割り当てるビット数が可変である請求項3ないし5のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項9】 前記セルヘッダ出力手段はさらに、変換後のATMセルヘッダデータと共に前記エントリデータ記憶手段のそのアドレスを出力する請求項1ないし8のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項10】 変換前と変換後が同じATMセルヘッダを第1及び第2のアドレスを対にしてエントリデータとして記憶するエントリデータ記憶手段と、

入力セルヘッダデータと前記エントリデータ記憶手段に記憶されているATMセルヘッダデータを第1及び第2のアドレスの対毎に完全照合し、第1及び第2のアドレスの対毎の照合結果を出力する完全照合手段と、

前記第1、第2のアドレスの対毎の照合結果に基づいて、照合結果が一致する前記エントリデータ記憶手段の第1及び第2のアドレスを抽出するアドレス抽出手段と、

前記エントリデータ記憶手段の第1及び第2のアドレスに対応して変換後のATMセルヘッダをあらかじめ記憶する変換後ATMセルヘッダ記憶手段と、

前記アドレス抽出手段により抽出された第1及び第2のアドレスの一方をATMセルヘッダの変換方向に基づいて選択し、前記変換後ATMセルヘッダ記憶手段からそのアドレスのATMセルヘッダを読み出す手段とを、

備えたATMセルヘッダ変換回路。

【請求項11】 前記ATMセルヘッダの変換方向は、セルヘッダデータが前

記完全照合手段に入力する網に応じて指定する請求項10に記載のATMセルヘッダ変換回路。

【請求項12】 複数に分岐するポートを備え、前記エントリデータ記憶手段のアドレスが前記ポート番号に対応している請求項1ないし11のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項13】 複数に分岐するポートを備え、前記エントリデータ記憶手段のアドレスが前記ポート番号を含む請求項1ないし11のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項14】 複数に分岐していない一方のポートから入力したセルヘッダデータを前記変換対象のATMセルヘッダデータの照合位置を示す信号により照合して変換し、前記変換後のATMセルヘッダデータをそのアドレスが含む分岐ポート番号に基づいて、複数に分岐している他方のポートの1つの分岐先に出力する請求項13に記載のATMセルヘッダ変換回路。

【請求項15】 前記エントリデータ記憶手段に対して、複数に分岐しているポート側のATMセルヘッダデータに対してその分岐ポート番号を附加して記憶し、

前記ATMセルヘッダデータ及び分岐ポート番号を前記変換対象のATMセルヘッダデータの照合位置を示す信号により部分照合する請求項13に記載のATMセルヘッダ変換回路。

【請求項16】 前記エントリデータ記憶手段に対して、複数に分岐しているポート側のATMセルヘッダデータに対してその分岐ポート番号を附加して記憶するとともに、複数に分岐していないポート側のATMセルヘッダデータはそのまま記憶し、

前記変換対象のATMセルヘッダデータの照合位置を示す信号により、ATMセルヘッダデータが前記複数に分岐しているポートから入力する場合には分岐ポート番号と共に部分照合し、複数に分岐していないポートから入力する場合には入力ATMセルヘッダデータのみを部分照合する請求項13に記載のATMセルヘッダ変換回路。

【請求項17】 エントリデータにコネクション情報を附加して前記エントリ

データ記憶手段に記憶する請求項1ないし16のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項18】 前記変換対象のATMセルヘッダデータの照合位置を示す信号により、入力セルヘッダデータに対応する変換後セルヘッダデータと共に前記コネクション情報を出力する請求項17記載のATMセルヘッダ変換回路。

【請求項19】 前記エントリデータ記憶手段に記憶されているATMセルヘッダデータの内、システムにおいて禁止されているVPI/VCIを初期値に設定する請求項1ないし18のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項20】 前記エントリデータ記憶手段に記憶されているATMセルヘッダデータの内、登録の必要がないVPI/VCIを初期値に設定する請求項1ないし18のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項21】 奇数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までのエントリデータの多重一致情報により複数のエントリデータとの一致をカウントして次段の多重一致カウント手段に通知する多重一致カウント手段と、

偶数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と2段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び2段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた請求項1ないし20のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項22】 自然数Nの倍数番目以外に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

Nの倍数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報とN段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及びN段先の多重一致カウント手段に通知する多重一致カウント手段と、

さらに備えた請求項1ないし20のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項23】 自然数Mに対して2のM乗番目以外に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

2のM乗番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報とM以下の全ての自然数Tに対して 2^T 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び 2^T 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた請求項1ないし20のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項24】 自然数N、Mに対してNのM乗番目以外に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの照合結果により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

NのM乗番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報とM以下の全ての自然数Tに対して N^T 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び N^T 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた請求項1ないし20のいずれか1つに記載のATMセルヘッダ変換回路。

【請求項25】 請求項1ないし請求項24のいずれか1つに記載のATMセルヘッダ変換回路により、ATMセルヘッダを変換する光加入者伝送システムのATMセルヘッダ変換方法。

【請求項26】 複数のアドレス毎に第1及び第2のATMセルヘッダデータを対にして記憶し、

入力セルヘッダデータと、記憶されている第1及び第2のATMセルヘッダデータのうち、変換対象のATMセルヘッダデータの照合位置に基づいて第1及び第2のATMセルヘッダデータの一方とを各アドレス毎に照合し、

照合結果が一致するアドレスの第1及び第2のATMセルヘッダデータの他方を変換後のATMセルヘッダデータとするATMセルヘッダ変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ATM (Asynchronous Transfer Mode) セルヘッダを変換するATMセルヘッダ変換回路及び方法に関する。

【0002】

【従来の技術】

従来のATMセルヘッダ変換方法としては、ヘッダ変換テーブルとして変換前データをアドレスとして変換後データを記憶するRAMを使用するRAM方式が知られている。しかしながら、ATMセル及びそのセルヘッダ、さらにはセルヘッダ内の各フィールドは固定長で定義されているが、実際のセルヘッダ内の各フィールド長、特に8ビットが定義されているVPI (仮想パス識別子) や16ビットが定義されているVCI (仮想チャネル識別子) の各フィールド長はATM網により制限される。このため、RAM方式は、実際のコネクション数分のメモリ量しか使用しないので、メモリ空間を有效地に使えないという問題があった。

【0003】

このような制限をなくすため、例えば“連想記憶メモリを用いたATMセルヘッダ変換方式”中山他、1996年電子情報通信学会ソサイエティ大会B-521に記載された方法が知られている。この方法による回路は、図19に示すようにCAM (Content Addressable Memory) 250とRAM251を有する。CAM250とRAM251のアドレスは1対1で対応し、CAM250とRAM251にはそれぞれ変換前、変換後のデータが記憶される。そして、第1のATM網からの入力セルヘッダデータ (A側セルヘッダデータ) 200に対してCAM250を用いてアドレス201を引き、引いたアドレスを基にRAM251から

対応する第2のATM網への出力側のセルヘッダデータ（B側セルヘッダデータ）202を得るように構成されている。

【0004】

このようなATMセルヘッダ変換回路を用いることにより、使用コネクション数が決まれば、その分のメモリ容量でよく、また、VPI+VCIの使用ビット数を制限することはない。

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来のセルヘッダ変換回路においては、ATM網の間で独立したセルヘッダデータを持たせた上で、第1のATM網から第2のATM網へのセルヘッダ変換と、第2のATM網から第1のATM網へのセルヘッダ変換を行うには、2つのCAM250及び2つのRAM251が必要であるので、回路規模が増大し、また、2つの記憶手段で記憶しているコネクション情報の整合性を監視しなければならないという問題点があった。さらには、RAM251のアドレス情報をCAM250から読み出してRAM251にアクセスするために、セルヘッダ変換処理に時間を要するという問題点があった。

【0006】

本発明は、上記従来の問題を解決するもので、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができるATMセルヘッダ変換回路及び方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明の第1態様は、複数のアドレスの各々毎に第1及び第2のATMセルヘッダデータを対にしてエントリデータとして記憶するエントリデータ記憶手段と

、
入力セルヘッダデータと、前記エントリデータ記憶手段に記憶されている第1及び第2のATMセルヘッダデータのうち、変換対象のATMセルヘッダデータの照合位置を示す信号に基づいて第1及び第2のATMセルヘッダデータの一方を部分的に、かつ、各アドレス毎に照合し、各アドレス毎の照合結果を出力する

部分照合手段と、

前記各アドレス毎の照合結果に基づいて、照合結果が一致する前記エントリデータ記憶手段のアドレスを抽出するアドレス抽出手段と、

前記アドレス抽出手段により抽出されたアドレスの第1及び第2のATMセルヘッダデータの他方を変換後のATMセルヘッダデータとして前記エントリデータ記憶手段から出力するセルヘッダ出力手段とを、

備えた構成とした。

本発明の第1態様により、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

【0008】

本発明の第2態様は、第1態様のATMセルヘッダ変換回路において、前記第1又は第2のATMセルヘッダデータの照合位置を示す信号はビット単位で指定する信号であって、前記部分照合手段は入力セルヘッダデータと第1及び第2のATMセルヘッダデータの一方をビット単位で照合する構成とした。

本発明の第2態様により、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

【0009】

本発明の第3態様は、第1態様のATMセルヘッダ変換回路において、前記第1又は第2のATMセルヘッダデータの照合位置を示す信号は各データを1ワードとしてワード単位で指定する信号であって、前記部分照合手段は入力セルヘッダデータと第1及び第2のATMセルヘッダデータの一方をワード単位で照合する構成とした。

本発明の第3態様により、第2態様と比べて、ATMセルヘッダ変換回路への検索方向を示す入力ビット数をセルヘッダ長に依存することなく抑えることが可能となる。

【0010】

本発明の第4態様は、第1ないし第3態様のいずれかにおいて、前記第1、第2のATMセルヘッダデータを各1ワードとしてワード単位で指定する信号と前記エントリデータ記憶手段の読み出しアドレスに基づいて、前記エントリデータ

記憶手段に記憶されている第1又は第2のATMセルヘッダデータを部分的に読み出すエントリデータ部分読み出し手段を更に備えた構成とした。

本発明の第4態様により、エントリ記憶手段からの読み出しを高速に行うことが可能となる。

【0011】

本発明の第5態様は、第1ないし第4態様のいずれかにおいて、前記第1、第2のATMセルヘッダデータを各1ワードとしてワード単位で指定する信号と前記エントリデータ記憶手段の書き込みアドレスに基づいて、第1又は第2のATMセルヘッダデータを前記エントリデータ記憶手段に部分的に書き込むエントリデータ部分書き込み手段を更に備えた構成とした。

本発明の第5態様により、エントリ記憶手段への書き込みを高速に行うことが可能となる。

【0012】

本発明の第6態様は、第3ないし第5態様のいずれかにおいて、指定するワード数を可変に構成した。

本発明の第6態様により、コネクションに関する情報の追加・削除などのシステム変更があるときに回路構成を変更すること無く対応することが可能となる。

【0013】

本発明の第7態様は、第3ないし第5態様のいずれかにおいて、1ワードに割り当てるビット数を可変に構成した。

本発明の第7態様により、使用するVPI/VCIのビット数の拡張などのシステム変更があるときに回路構成を変更すること無く対応することが可能となる。

【0014】

本発明の第8態様は、第3ないし第5態様のいずれかにおいて、指定するワード数と1ワードに割り当てるビット数を可変に構成した。

本発明の第8態様により、システム変更があるときに回路構成を変更すること無く対応することが可能となる。

【0015】

本発明の第9態様は、第1ないし第8態様のいずれかにおいて、前記セルヘッダ出力手段はさらに、変換後のATMセルヘッダデータと共に前記エントリデータ記憶手段のそのアドレスを出力する構成とした。

本発明の第9態様により、入力セルヘッダに対応する対応アドレス及び対応セルヘッダデータを同時に出力することができるので、対応セルヘッダデータを高速に得ることが可能となる。

【0016】

本発明の第10態様は、変換前と変換後が同じATMセルヘッダを第1及び第2のアドレスを対にしてエントリデータとして記憶するエントリデータ記憶手段と、

入力セルヘッダデータと前記エントリデータ記憶手段に記憶されているATMセルヘッダデータを第1及び第2のアドレスの対毎に完全照合し、第1及び第2のアドレスの対毎の照合結果を出力する完全照合手段と、

前記第1、第2のアドレスの対毎の照合結果に基づいて、照合結果が一致する前記エントリデータ記憶手段の第1及び第2のアドレスを抽出するアドレス抽出手段と、

前記エントリデータ記憶手段の第1及び第2のアドレスに対応して変換後のATMセルヘッダをあらかじめ記憶する変換後ATMセルヘッダ記憶手段と、

前記アドレス抽出手段により抽出された第1及び第2のアドレスの一方をATMセルヘッダの変換方向に基づいて選択し、前記変換後ATMセルヘッダ記憶手段からそのアドレスのATMセルヘッダを読み出す手段とを、

備えた構成とした。

本発明の第10態様により、両方で多くのセルヘッダデータが重複されて使用されるような場合に、変換方向毎に記憶手段を持つ構成に比べ、約1/2の回路規模でATMセルヘッダ変換が可能となる。

【0017】

本発明の第11態様は、第10態様において、前記ATMセルヘッダの変換方向が、セルヘッダデータが前記完全照合手段に入力する網に応じて指定する構成とした。

本発明の第11態様により、両方向の各々に対してそれぞれ別の記憶手段を持つ構成に比べ、回路規模を約1/2に抑えて両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

【0018】

本発明の第12態様は、第1ないし第11態様のいずれかにおいて、複数に分岐するポートを備え、前記エントリデータ記憶手段のアドレスが前記ポート番号に対応している構成とした。

本発明の第12態様により、アドレス出力と同時に分岐ポート番号を得ることが可能となる。

【0019】

本発明の第13態様は、第1ないし第11態様のいずれかにおいて、複数に分岐するポートを備え、前記エントリデータ記憶手段のアドレスが前記ポート番号を含む構成とした。

本発明の第13態様により、両方向のセルヘッダデータと分岐ポート番号を対応付けて1つのエントリデータ記憶手段で管理することが可能となる。

【0020】

本発明の第14態様は、第13態様において、複数に分岐していない一方のポートから入力したセルヘッダデータを前記変換対象のATMセルヘッダデータの照合位置を示す信号により照合して変換し、前記変換後のATMセルヘッダデータをそのアドレスが含む分岐ポート番号に基づいて、複数に分岐している他方のポートの1つの分岐先に出力する構成とした。

本発明の第14態様により、分岐していない側からのセルヘッダデータの入力に対して、対応セルヘッダデータと同時に分岐ポート番号を出力することが可能となる。

【0021】

本発明の第15態様は、第13態様において、前記エントリデータ記憶手段に対して、複数に分岐しているポート側のATMセルヘッダデータに対してその分岐ポート番号を付加して記憶し、

前記ATMセルヘッダデータ及び分岐ポート番号を前記変換対象のATMセル

ヘッダデータの照合位置を示す信号により部分照合する構成とした。

本発明の第15態様により、分岐している側からのセルヘッダデータとポート番号の入力に対して、対応セルヘッダデータを出力することが可能となる。

【0022】

本発明の第16態様は、第13態様において、前記エントリデータ記憶手段に対して、複数に分岐しているポート側のATMセルヘッダデータに対してその分岐ポート番号を付加して記憶するとともに、複数に分岐していないポート側のATMセルヘッダデータはそのまま記憶し、

前記変換対象のATMセルヘッダデータの照合位置を示す信号により、ATMセルヘッダデータが前記複数に分岐しているポートから入力する場合には分岐ポート番号と共に部分照合し、複数に分岐していないポートから入力する場合には入力ATMセルヘッダデータのみを部分照合する構成とした。

本発明の第16態様により、分岐している側から分岐していない側、分岐していない側から分岐している側への双方向のATMセルヘッダ変換が可能となる。

【0023】

本発明の第17態様は、第1ないし第16態様のいずれかにおいて、エントリデータにコネクション情報を付加して前記エントリデータ記憶手段に記憶する構成とした。

本発明の第17態様により、双方向のセルヘッダデータと帯域制御情報などの何らかのコネクション情報を対応付けて1つのエントリデータ記憶手段で管理することが可能となる。

【0024】

本発明の第18態様は、第17態様において、前記変換対象のATMセルヘッダデータの照合位置を示す信号により、入力セルヘッダデータに対応する変換後セルヘッダデータと共に前記コネクション情報を出力する構成とした。

本発明の第18態様により、対応セルヘッダデータと同時にコネクション情報を出力することが可能となる。

【0025】

本発明の第19態様は、第1ないし第18態様のいずれかにおいて、前記エン

トリデータ記憶手段に記憶されているATMセルヘッダデータの内、システムにおいて禁止されているVPI/VCIを初期値に設定する構成とした。

本発明の第19態様により、エントリデータ記憶手段に登録有無情報を表すためのエントリマスクビットを持つ必要が無くなり回路規模を抑えることが可能となる。

【0026】

本発明の第20態様は、第1ないし第18態様のいずれかにおいて、前記エントリデータ記憶手段に記憶されているATMセルヘッダデータの内、登録の必要がないVPI/VCIを初期値に設定する構成とした。

本発明の第20態様により、エントリデータ記憶手段に登録有無情報を表すためのエントリマスクビットを持つ必要が無くなり回路規模を抑えることが可能となる。

【0027】

本発明の第21態様は、第1ないし第20態様のいずれかにおいて、奇数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までのエントリデータの多重一致情報により複数のエントリデータとの一致をカウントして次段の多重一致カウント手段に通知する多重一致カウント手段と、

偶数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と2段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び2段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた構成とした。

本発明の第21態様により、前記エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する際の最大ゲート遅延時間を低減することが可能となる。

【0028】

本発明の第22態様は、第1ないし第20態様のいずれかにおいて、自然数Nの倍数番目以外に配置され、前記エントリデータ記憶手段に記憶されているエン

トリデータ毎の照合結果と前段までの多重一致情報により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

N の倍数番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と N 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び N 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた構成とした。

本発明の第22態様により、前記エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する際の最大ゲート遅延時間を低減することが可能となる。

【0029】

本発明の第23態様は、第1ないし第20態様のいずれかにおいて、自然数 M に対して 2 の M 乗番目以外に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

2 の M 乗番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と M 以下の全ての自然数 T に対して 2^T 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び 2^T 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた構成とした。

本発明の第23態様により、前記エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する際の最大ゲート遅延時間を低減することが可能となる。

【0030】

本発明の第24態様は、第1ないし第20態様のいずれかにおいて、自然数 N 、 M に対して N の M 乗番目以外に配置され、前記エントリデータ記憶手段に記憶

されているエントリデータ毎の照合結果と前段までの照合結果により複数のエントリデータとの一致を検出して次段の多重一致カウント手段に通知する多重一致カウント手段と、

N の M 乗番目に配置され、前記エントリデータ記憶手段に記憶されているエントリデータ毎の照合結果と前段までの多重一致情報と M 以下の全ての自然数 T に対して N^T 段前までの多重一致情報により複数のエントリデータとの一致を検出して次段及び N^T 段先の多重一致カウント手段に通知する多重一致カウント手段とを、

さらに備えた構成とした。

本発明の第24態様により、前記エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する際の最大ゲート遅延時間を低減することが可能となる。

【0031】

本発明の第25態様は、第1ないし第24態様のいずれかのATMセルヘッダ変換回路により、光加入者伝送システムのATMセルヘッダを変換するようにした。

本発明の第25態様により、光加入者伝送システムにおけるATMセルヘッダ変換を簡単な構成で比較的小規模で、かつ、高速な回路で実現することが可能となる。

【0032】

本発明の第26態様は、複数のアドレス毎に第1及び第2のATMセルヘッダデータを対にして記憶し、

入力セルヘッダデータと、記憶されている第1及び第2のATMセルヘッダデータのうち、変換対象のATMセルヘッダデータの照合位置に基づいて第1及び第2のATMセルヘッダデータの一方とを各アドレス毎に照合し、照合結果が一致するアドレスの第1及び第2のATMセルヘッダデータの他方を変換後のATMセルヘッダデータとするようにした。

本発明の第26態様により、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

【0033】

【発明の実施の形態】

以下、本発明の実施の形態について、図1～図18を用いて説明する。

(実施の形態1)

図1は本発明の実施の形態1のATMセルヘッダ変換回路の構成を示している。ATMセルヘッダ変換回路はエントリデータ記憶手段150、部分一致照合手段151、対応アドレス抽出手段152、セルヘッダ出力手段153で構成される。ここで、ATMセルは5バイトのヘッダと48バイトのペイロード(ユーザデータ)の合計53バイトの固定長で構成され、ヘッダは4ビットのGFC(一般的フロー制御)、8ビットのVPI(仮想パス識別子)、16ビットのVCI(仮想チャネル識別子)、3ビットのPT(ペイロード・タイプ)、1ビットのCLP(セル損失優先表示)及び8ビットのHEC(ヘッダ誤り制御)の各情報により構成されているが、実際には全ビット数分のコネクションを同時に使うことはない。

【0034】

エントリデータ記憶手段150は、図2に示すように複数のアドレス305の各々毎に双方向(A側、B側)のセルヘッダデータを対応付けて記憶している。部分一致照合手段151は入力されたセルヘッダデータ(入力セルヘッダデータともいう)100(例えばA側セルヘッダデータ)と、セルヘッダデータ100の照合ビット位置を指定するマスクビット101が与えられると、入力されたA側セルヘッダデータ100とエントリデータ記憶手段150に登録されているエントリデータ群102の一方との部分照合を行い、何番目に登録されているエントリデータと一致したかという、エントリデータ記憶手段150の複数のエントリデータ群102と同じビット数の照合結果情報103を対応アドレス抽出手段152に出力する。

【0035】

対応アドレス抽出手段152は、部分一致照合手段151が出力する照合結果情報103を用いて、エントリデータ群102から対応するエントリデータ記憶手段150の対応アドレス104をセルヘッダ出力手段153に出力する。セル

ヘッダ出力手段153は対応アドレス抽出手段152が出力する対応アドレス104を用いて、エントリデータ記憶手段150に記憶されているエントリデータ群102の他方の新セルヘッダデータ105を出力セルヘッダデータとして出力する。

【0036】

ATMセルヘッダ変換のデータの流れについて図2の例を用いてさらに詳しく説明する。図2では、部分的に変換する対象のA、B側のセルヘッダデータ長をそれぞれ8ビットとしており、エントリ数を64としている。エントリデータ群102には64個のA側セルヘッダデータとB側セルヘッダデータの対がアドレス305と対応して記憶されている。部分一致照合手段151は、A側セルヘッダデータ100と、A側セルヘッダデータ100の記憶位置を指定するマスクビット101が入力されると、64個のA側エントリデータを同時に比較し、比較したエントリデータに対応する照合結果情報103のビットに“1”を出力する。

【0037】

対応アドレス抽出手段152は、この照合結果情報103より対応アドレス104を得、さらにセルヘッダ出力手段153は対応アドレス104を用いて新セルヘッダデータ105を出力する。図2に示す例では、8ビットの入力セルヘッダデータ100として、

“01001000”

であり、また、照合ビット位置を示す16ビットのマスクビット101として、

“1100111100000000”

が与えられている。この場合には、エントリデータ群102の3番目のエントリデータの上位8ビットのA側セルヘッダデータ100と部分的に一致する。3行目が一致したという情報を照合結果情報103を基に“000010”という対応アドレス104を得て、さらに対応アドレス104“000010”を用いてB側セルヘッダデータ“11000000”が出力される。

【0038】

以上のようなATMセルヘッダ変換回路により、A側からB側方向のATMセ

ルヘッダ変換に関して、A側とB側においてセルヘッダデータ（VPI/VCI）を任意に割り付けた上で1つのエントリデータ記憶手段150のみを用いてATMセルヘッダの変換を可能にすることができる。1つのエントリデータ記憶手段150で実現できるため、回路規模を比較的小さくでき、またコネクション情報の登録を1度に行なうことが可能になる。

【0039】

(実施の形態2)

実施の形態2について図1、図3を参照して説明する。実施の形態2は図1におけるエントリデータ群102を論理的にA側、B側のセルヘッダデータ用に各1ワード（=8ビット）単位に分割して、図1におけるビット単位のマスクビット101により照合位置指定をワード単位のマスクワード400に置き換えたものである。エントリデータ群102のA側のセルヘッダデータがマスクワード400で指定されているときにはA側セルヘッダデータ長分のマスクビット101が指定されたときと同様の動作をする。

以上のような構成にすることにより、実施の形態1のようにビット単位でマスクするのに比べ、変換対象ビットを指定するためのマスク信号のビット数を削減することができる。また、実施の形態1におけるマスクビット101に比べて、ATMセルヘッダ変換回路への検索方向を示すマスクワード400の入力ビット数をセルヘッダ長に依存することなく抑えることが可能となる。

【0040】

(実施の形態3)

実施の形態3について図4を用いて説明する。図4はエントリデータ書き込み手段550と図1に示したエントリデータ記憶手段150からなる。エントリデータ書き込み手段550は外部、通常CPUからライト部分エントリデータ503、書き込むビットを指定する書き込みマスクワード504及びライトアドレス502が与えられると、図2、図3に示すようにエントリデータ記憶手段150に記憶されているエントリデータ群102のうち、指定されたライトアドレス502に対応するエントリデータのうち、書き込みマスクワード504で指定されたビット位置にライト部分エントリデータ503を書き込むことにより、エント

リデータ500としてエントリデータ記憶手段150に記憶する。

【0041】

以上により、エントリデータ記憶手段150に対する書き込みを部分的に行えることでCPUがセットするビット数を削減でき、CPUの付加を軽減することができる。

【0042】

(実施の形態4)

実施の形態4について図5を用いて説明する。図5はエントリデータ読み出し手段650とエントリデータ記憶手段150からなる。エントリデータ読み出し手段650は外部、通常CPUから読み出しマスクワード603及びリードアドレス602が与えられると、図2、図3に示すようにエントリデータ記憶手段150に記憶されているエントリデータ群102のうち、指定されたリードアドレス602に対応するエントリデータであって、読み出しマスクワード603で指定されたワードのみを読み出せる。

【0043】

以上により、エントリデータ記憶手段150からの読み出しを部分的に行えることでCPUが必要なデータのみを高速に読み出すことが可能となる。

【0044】

(実施の形態5)

実施の形態5では、図3に示す実施の形態2におけるワードの区切りを外部からの指定により可変にしている。

以上によりシステムの仕様変更、具体的には使用するVPI/VCIのビット数に変更があっても回路を変更せずに、ATMセルヘッダ変換処理を行うことが可能となる。

【0045】

(実施の形態6)

実施の形態6について図6を用いて説明する。図6は図1に示したエントリデータ記憶手段150及び部分一致照合手段151と、セルヘッダ及びアドレス同時出力手段750とコネクション情報記憶手段751からなる。コネクション情

報記憶手段751には、エントリデータ記憶手段150のアドレスと1対1で対応して該当コネクションの帯域情報、登録状況などのコネクション情報702が格納されている。セルヘッダ及びアドレス同時出力手段750は、実施の形態1と同様にして部分一致照合手段151により得られた照合結果情報103を利用して、入力されたセルヘッダデータ100と対になる新セルヘッダデータ700と、対応するアドレス701を同時に出力する。そして、得られた対応アドレス701によってコネクション情報記憶手段751からのコネクション情報702を読み出す。

【0046】

以上により、入力セルヘッダデータ100に対応する新セルヘッダデータ700を得ることと、該当するコネクション情報702を簡単な構成で高速に得ることが可能となる。

【0047】

(実施の形態7)

実施の形態7について図7、図8を用いて説明する。実施の形態7の構成は、図7に示すようにエントリデータ記憶手段850と、照合手段851と、対応アドレス抽出手段852と、対応アドレス選択手段853と出力セルヘッダデータ記憶手段854からなる。エントリデータ記憶手段850は図2、図3と異なり、図8に示すようにA側、B側のエントリデータ群800を重複を含めて、独立に付けられるA側の対応アドレス（アドレスA）802、B側の対応アドレス（アドレスB）803と対応付けて記憶する。つまり、同一のVPI/VCIがA側、B側双方に付けられている場合は、エントリデータ群800とA側対応アドレス802、B側対応アドレス803を組にして記憶する。

【0048】

照合手段851は入力されるセルヘッダデータ100と、エントリデータ記憶手段850で記憶しているエントリデータ群800との完全一致照合を行い、照合結果情報103を対応アドレス抽出手段852に出力する。対応アドレス抽出手段852は照合手段851が出力する照合結果情報103を基に、A側対応アドレス802及びB側対応アドレス803を対応アドレス選択手段853に出力

する。対応アドレス選択手段853は、外部から入力されるA→B又はB→Aの変換方向801に従ってA側対応アドレス802又はB側対応アドレス803を選択し、変換後の対応アドレス804として出力する。

【0049】

出力セルヘッダデータ記憶手段854は対応アドレス804と出力セルヘッダデータを対応付けて記憶していて、対応アドレス804に対応する新セルヘッダデータ805を出力する。入力としてセルヘッダデータ100、例えばA側のセルヘッダデータと、変換方向“A→B”を与えることで、対応するBセルヘッダデータを得ることができる。

【0050】

以上の実施の形態7により、A側、B側で重複するセルヘッダ情報が多数あるようなシステムでは、ATMセルヘッダ変換回路においてA側、B側それぞれ別の記憶手段を持つ構成に比べ、約1/2の回路規模でコネクション番号を得ることができる。

【0051】

(実施の形態8)

実施の形態8について図9、図10を用いて説明する。図9は、A側又はB側のコネクションが物理的に複数のポート1002に分割しているシステムを示す。図10はB側のバスが4つのポートに分岐している例である。このような多分岐システムにおいて、実施の形態8では、図10のようにエントリデータ群1100に対応させるアドレス1101（図の6ビット）の部分データ（図の上位2ビット）をB側のポート番号1102と対応させる。

【0052】

以上により、セルヘッダ変換と同時に当該セルの出力ポートを決定することができる。ゆえに、コネクション情報を別の記憶手段に持つ必要がなくなり回路規模を削減することができる。なお、A側、B側は可逆である。

【0053】

(実施の形態9)

実施の形態9について図9、図11を用いて説明する。図9に示すような多分

岐システムにおいて、図11に示すようにエントリデータ群1200にB側のポート番号1201を付加し、A側からB側へのセルヘッダ変換の際にはB側のセルヘッダデータと共にB側のポート番号1201を出力する。また、B側からA側へのセルヘッダ変換の際にはB側のセルヘッダデータと共にB側のポート番号1201も照合対象ビットに付加する。

【0054】

以上により、ポート別に独立にVPI/VCIを決定するようなシステムにおいてもセルヘッダ変換が可能となる。

【0055】

(実施の形態10)

実施の形態10を図12を用いて説明する。図12に示すようにエントリデータ群1300にB側のコネクション情報1301を付加し、セルヘッダ変換と同時にコネクション情報1301を読み出す。

以上により、コネクション情報1301をセルヘッダ変換と同時に高速に行える。なお、コネクション情報1301とは、例えば帯域制御、スループット情報などである。

【0056】

(実施の形態11)

実施の形態11を図13を用いて説明する。図13に示す構成は、セル廃棄手段1450とセルヘッダ変換回路1451からなる。セル廃棄手段1450は入力セルヘッダ1400のうち、システムで入力として禁止されているセルヘッダデータ（廃棄セルヘッダ）1401が入力されると、そのセルヘッダ1401を廃棄し、セルヘッダ変換回路1451には印加しない。また、セルヘッダ変換回路1451におけるエントリデータ記憶手段150において記憶するエントリデータの初期値を、登録のないコネクションのエントリデータ（廃棄されるセルヘッダデータ1401のパターン）と同じ値にする。こうしてセルヘッダ変換回路1451から出力セルヘッダ1402が出力される。

【0057】

以上により、セルヘッダ変換回路1451においてあらゆる入力セルヘッダデ

ータ1400は、登録の無いエントリデータと部分一致しなくなるので、従来のCAMで用いるような登録情報の有無を表すエントリマスクのビットを持たなくとも、セルヘッダ変換が正しく行えるようになる。

【0058】

(実施の形態12)

実施の形態12を図14を用いて説明する。図14に示す構成は、特定コネクションセルヘッダ変換回路1550とセルヘッダ変換回路1451からなる。特定コネクションセルヘッダ変換回路1550は入力セルヘッダ1400のうち、ある1つのセルヘッダデータパターン（特定コネクション1501）に対してのみセルヘッダ変換を行う。それ以外のセルヘッダデータはセルヘッダ変換回路1451によりセルヘッダ変換される。また、セルヘッダ変換回路1451におけるエントリデータ記憶手段150において記憶するエントリデータの初期値を、登録のないコネクションのエントリデータ（廃棄されるセルヘッダデータのパターン）と同じ値にする。こうしてセルヘッダ変換回路1451から出力セルヘッダ1402が出力される。

【0059】

以上により、特に廃棄するパターンのセルが無いシステムにおいても、前記セルヘッダ変換回路1451においてあらゆる入力セルヘッダデータ1400は登録されていないエントリデータと部分一致しなくなるので、従来のCAMで用いるような登録情報の有無を表すエントリマスクのビットを持たなくとも、セルヘッダ変換が正しく行えるようになる。

【0060】

(実施の形態13)

実施の形態13について図15、図16(a)、(b)を用いて説明する。図15に示す構成は、エントリデータ記憶手段150に記憶されているエントリデータの多重一致を検出するために、多重一致カウント手段1650をエントリの数と同じだけ多段に並べた構成である。Mを自然数として2の倍数以外番目の第1の多重一致カウント手段1650は、エントリデータ毎の照合結果1600と、前段までの途中結果の多重一致情報として一致なし情報1601、1つ一致情

報1602、2つ以上一致情報1603により複数のエントリデータとの一致を検出し、次段の多重一致カウント手段1650に通知する。さらに、2のM倍数番目の第2の多重一致カウント手段1650は、エントリデータ毎の照合結果1600と、前段までの多重一致情報1601、1602、1603と2段前までの多重一致情報1601、1602、1603により、複数のエントリデータとの一致を検出し、次段及び2段先の多重一致カウント手段1650に通知する。そして、最終段の多重一致カウント手段1650は最終結果の一致なし情報1604、1つ一致情報1605、2つ以上一致情報1606を出力する。

【0061】

図16(a)は第1の多重一致カウント手段1650の動作を示し、前段までの一致なし入力A=1かつ照合結果G=0の場合に一致なし出力D=1を出力し、他の場合にD=0を出力する。また、前段までの一致なし入力A=1かつ照合結果G=1、又は前段までの1つ一致入力B=1の場合に1つ一致出力E=1を出力し、他の場合にE=0を出力する。また、前段までの1つ一致入力B=1かつ照合結果G=1、又は前段までの2つ以上一致入力C=1の場合に2つ以上一致出力F=1を出力し、他の場合にF=0を出力する。

【0062】

図16(b)は第2の多重一致カウント手段1650の動作を示し、前段までの一致なし入力A=1かつ照合結果G=0の場合に一致なし出力D=1を出力し、他の場合にD=0を出力する。また、前段までの一致なし入力A=1かつ照合結果G=1、又は前段までの1つ一致入力B=1、又は2段前までの1つ一致入力B1=1の場合に1つ一致出力E=1を出力し、他の場合にE=0を出力する。また、前段までの1つ一致入力B=1又は2段前までの1つ一致入力B1=1であって照合結果G=1であり、前段までの2つ以上一致入力C=1又は2段前までの2つ以上一致入力C1=1の場合に2つ以上一致出力F=1を出力し、他の場合にF=0を出力する。

【0063】

ここで、エントリ数をE、1つの多重一致カウント手段1650で入力から出力までにかかる遅延時間をTとするときに、通常のシーケンシャルで多重一致を

検出する方法での最大ゲート遅延時間は $E \times T$ となるが、上記方法を用いることにより最大ゲート遅延時間は約 $(1/2 \times E + 2) \times T$ に抑えることができる。なお、図15の例では、2つ先の段に多重一致情報を通知するが、N個おきにしても同様の効果が得られる。この場合の最大ゲート遅延時間は約 $(1/N \times E + 2 \times N - 2) \times T$ となる。

【0064】

(実施の形態14)

実施の形態14について図17、図18を用いて説明する。図17は同じく多重一致カウント手段1750をエントリの数と同じだけ多段に並べた構成である。Mを自然数として2のM乗番目以外の多重一致カウント手段1750は、図16(a)に示す構成と同じであり、エントリデータ毎の照合結果1600と、前段の多重一致情報として一致なし情報1701、1つ一致情報1702、2つ以上一致情報1703により、複数のエントリデータとの一致を検出し、次段の多重一致カウント手段1750に通知する。

【0065】

さらに2のM乗番目の多重一致カウント手段1750は、エントリデータ毎の照合結果1600と、前段の照合結果1701～1703と、M以下の全ての自然数Tに対して 2^T 段前の照合結果1701～1703により複数のエントリデータとの一致を検出し、次段及び 2^T 段先の多重一致カウント手段1750に通知する。そして、最終段の多重一致カウント手段1750は最終結果の一致なし情報1704、1つ一致情報1705、2つ以上一致情報1706を出力する。

【0066】

図18は、この多重一致カウント手段1750の動作を示し、前段までの一致なし入力A=1かつ照合結果G=0の場合に一致なし出力D=1を出力し、他の場合にD=0を出力する。また、前段までの一致なし入力A=1かつ照合結果G=1、又は前段までの1つ一致入力B=1、又は 2^T 段先の1つ一致入力のいずれかが1の場合に1つ一致出力E=1を出力し、他の場合にE=0を出力する。また、前段までの1つ一致入力B=1又は 2^T 段先の1つ一致入力のいずれかが1であって照合結果G=1であり、前段までの2つ以上一致入力C=1又は 2^T

段先の2つ以上一致入力のいずれかが1の場合に2つ以上一致出力F = 1を出力し、他の場合にF = 0を出力する。

【0067】

エントリ数をEとするときに通常のシーケンシャルに多重一致を検出する方法での最大ゲート遅延時間は $E \times T$ となるが、上記方法を用いることにより、約 $\log_2 E \times T$ に抑えることができる。なお、図17に示す例では、2のべき乗だけ先の段に多重一致情報を通知するが、Nのべき乗だけ先の段に多重一致情報を通知するようにしても同様の効果が得られる。この場合の最大ゲート遅延時間は約 $(\log_N E + 2 \times N) \times T$ となる。

【0068】

【発明の効果】

本発明の第1態様によれば、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

本発明の第2態様によれば、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

本発明の第3態様によれば、第2態様と比べて、ATMセルヘッダ変換回路への検索方向を示す入力ビット数をセルヘッダ長に依存することなく抑えることが可能となる。

本発明の第4態様によれば、エントリ記憶手段からの読み出しを高速に行うことが可能となる。

本発明の第5態様によれば、エントリ記憶手段への書き込みを高速に行うことが可能となる。

本発明の第6態様によれば、ワード数が可変であるので、コネクションに関する情報の追加・削除などのシステム変更があるときに回路構成を変更すること無く対応することが可能となる。

本発明の第7態様によれば、1ワードのワード長が可変であるので、使用するVPI/VCIのビット数の拡張などのシステム変更があるときに回路構成を変更すること無く対応することが可能となる。

本発明の第8態様によれば、ワード数と1ワードのワード長が可変であるので

、システム変更があるときに回路構成を変更すること無く対応することが可能となる。

本発明の第9態様によれば、入力セルヘッダに対応する対応アドレス及び対応セルヘッダデータを同時に出力することができるので、対応セルヘッダデータを高速に得ることが可能となる。

本発明の第10態様によれば、重複するセルヘッダデータを1つのエントリデータ記憶手段で記憶するので、両方向で多くのセルヘッダデータが重複されて使用されるような場合に、変換方向毎に記憶手段を持つ構成に比べ、約1/2の回路規模でATMセルヘッダ変換が可能となる。

本発明の第11態様によれば、両方向の各々に対してそれぞれ別の記憶手段を持つ構成に比べ、回路規模を約1/2に抑えて両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

本発明の第12態様によれば、アドレスと分岐ポート番号が対応しているので、ポート番号用のビットを新たに追加することなく、アドレス出力と同時に分岐ポート番号を得ることが可能となる。

本発明の第13態様によれば、エントリデータ記憶手段で分岐ポート番号も記憶しているので、両方向のセルヘッダデータと分岐ポート番号を対応付けて1つのエントリデータ記憶手段で管理することが可能となる。

本発明の第14態様によれば、分岐ポート番号も同時に出力するので、分岐していない側からのセルヘッダデータの入力に対して、対応セルヘッダデータと一緒に分岐ポート番号を出力することが可能となる。

本発明の第15態様によれば、分岐ポートの入力に対しても部分一致照合をするので、分岐している側からのセルヘッダデータとポート番号の入力に対して対応セルヘッダデータを出力することが可能となる。

本発明の第16態様によれば、セルヘッダ出力手段が分岐ポート番号も同時に出力し、部分一致照合手段が分岐ポートの入力に対しても部分一致照合をするので分岐している側から分岐していない側、分岐していない側から分岐している側への双方向のATMセルヘッダ変換が可能となる。

本発明の第17態様によれば、エントリデータ記憶手段でコネクション情報も

記憶しているので、双方向のセルヘッダデータと帯域制御情報などの何らかのコネクション情報を対応付けて1つのエントリデータ記憶手段で管理することが可能となる。

本発明の第18態様によれば、コネクション情報を同時に出力するので、対応セルヘッダデータと同時に帯域制御情報などの何らかのコネクション情報を出力することが可能となる。

本発明の第19態様によれば、必ず部分一致しないデータをエントリデータの初期値に持つので、エントリデータ記憶手段に登録有無情報を表すためのエントリマスクビットを持つ必要が無くなり回路規模を抑えることが可能となる。

本発明の第20態様によれば、必ず部分一致しないデータをエントリデータの初期値に持つので、エントリデータ記憶手段に登録有無情報を表すためのエントリマスクビットを持つ必要が無くなり回路規模を抑えることが可能となるという効果を有する。

本発明の第21態様によれば、エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する場合に、2つ先の段に多重一致情報を通知するので、最大ゲート遅延時間を約 $(1/2 \times E + 2) \times T$ に抑えることができ、最大ゲート遅延時間を低減することが可能となる。

本発明の第22態様によれば、エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する場合に、Nだけ先の段に多重一致情報を通知するので、最大ゲート遅延時間を約 $(1/N \times E + 2 \times N - 2) \times T$ に抑えることができ、最大ゲート遅延時間を低減することが可能となる。

本発明の第23態様によれば、エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する場合に、2のべき乗先の段に多重一致情報を通知するので、最大ゲート遅延時間を $\log_2 E \times T$ に抑えることができ、最大ゲート遅延時間を低減することが可能となる。

本発明の第24態様によれば、エントリデータ記憶手段に記憶されているエントリデータの多重一致を検出する場合に、Nのべき乗先の段に多重一致情報を通知するので、最大ゲート遅延時間を約 $(\log_N E + 2 \times N) \times T$ に抑えることができ、最大ゲート遅延時間を低減することが可能となる。

本発明の第25態様によれば、光加入者伝送システムにおけるATMセルヘッダ変換を簡単な構成で比較的小規模で、かつ、高速な回路で実現することが可能となる。

本発明の第26態様によれば、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1におけるATMセルヘッダ変換を実現するためのブロック図

【図2】

本発明の実施の形態1におけるA側からB側方向のATMセルヘッダ変換の動作を示す説明図

【図3】

本発明の実施の形態2におけるA側からB側方向のATMセルヘッダ変換の動作を示す説明図

【図4】

本発明の実施の形態3におけるエントリデータ書き込み動作を説明するためのブロック図

【図5】

本発明の実施の形態4におけるエントリデータ読み出し動作を説明するためのブロック図

【図6】

本発明の実施の形態6におけるATMセルヘッダ変換を実現するためのブロック図

【図7】

本発明の実施の形態7におけるATMセルヘッダ変換を実現するためのブロック図

【図8】

本発明の実施の形態7におけるA側からB側方向のATMセルヘッダ変換の動

作を示す説明図

【図9】

本発明の実施の形態8における多分岐システムを示すブロック図

【図10】

本発明の実施の形態8におけるエントリデータ記憶手段のアドレスを示す説明図

【図11】

本発明の実施の形態9におけるエントリデータ記憶手段のエントリデータを示す説明図

【図12】

本発明の実施の形態10におけるエントリデータ記憶手段のエントリデータを示す説明図

【図13】

本発明の実施の形態11におけるATMセルヘッダ変換を実現するためのブロック図

【図14】

本発明の実施の形態12におけるATMセルヘッダ変換を実現するためのブロック図

【図15】

本発明の実施の形態13における多重一致を検出するためのブロック図

【図16】

本発明の実施の形態13における多重一致の動作を示す説明図

(a) 図15の第1の多重一致カウント手段の動作を示す説明図

(b) 図15の第2の多重一致カウント手段の動作を示す説明図

【図17】

本発明の実施の形態14における多重一致を検出するためのブロック図

【図18】

図17の第2の多重一致カウント手段の動作を示す説明図

【図19】

従来のATMセルヘッダ変換回路を示すブロック図

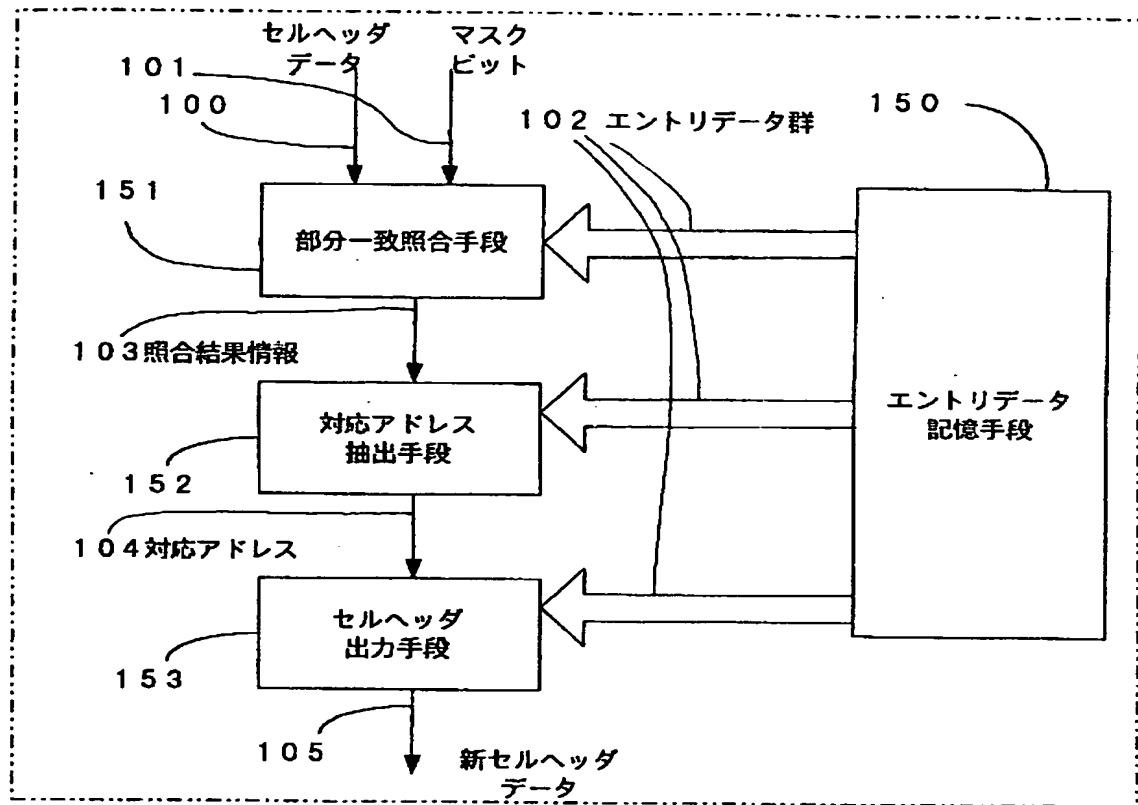
【符号の説明】

100、302、902 入力セルヘッダデータ
 101 マスクビット
 102、300、800、900、1100、1200、1300 エントリ
 データ群
 103、303 照合結果情報
 104、701、804 対応アドレス
 105、700、805 新セルヘッダデータ
 150、850 エントリデータ記憶手段
 151 部分一致照合手段
 152 対応アドレス抽出手段
 153 セルヘッダ出力手段
 200 A側セルヘッダデータ
 201、305、1101 アドレス
 202 B側セルヘッダデータ
 301 マスクビット
 400 マスクワード
 500 エントリデータ
 502 ライトアドレス
 503 ライト部分エントリデータ
 550 エントリデータ書き込み手段
 602 リードアドレス
 603 リード部分エントリデータ
 650 エントリデータ読み出し手段
 702、1301 コネクション情報
 750 セルヘッダ及びアドレス同時手段
 751 コネクション情報記憶手段
 801、901 変換方向

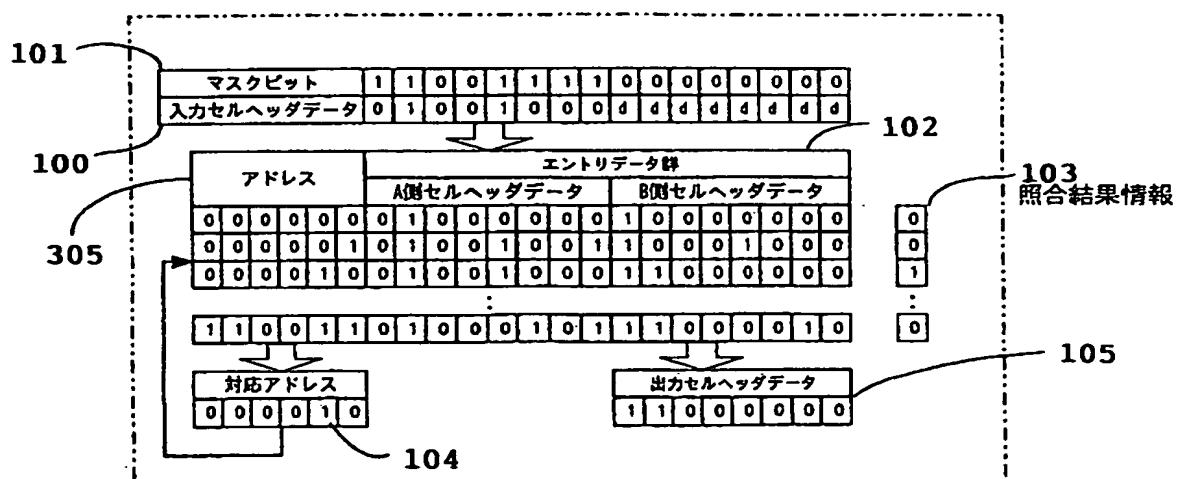
802 A側対応アドレス
803 B側対応アドレス
851 照合手段
852 対応アドレス抽出手段
853 対応アドレス選択手段
854 出力セルヘッダ記憶手段
903 アドレスA
904 アドレスB
905 対応Bアドレス
1000 ATMセルヘッダ変換回路
1001 コネクション
1002 ポート
1102 B側ポート番号
1201 B側ポート番号
1400 入力セルヘッダ
1401 廃棄セルヘッダ
1402 出力セルヘッダ
1450 セル廃棄手段
1451 セルヘッダ変換回路
1501 特定コネクション
1550 特定コネクションセルヘッダ変換回路
1600 照合結果
1601、1701 一致無し（途中経過）を表す信号
1602、1702 1つ一致（途中経過）を表す信号
1603、1703 2つ以上一致（途中経過）を表す信号
1604、1704 一致無し（最終結果）を表す信号
1605、1705 1つ一致（最終結果）を表す信号
1606、1706 2つ以上一致（最終結果）を表す信号
1650、1750 多重一致カウント手段

【書類名】 図面

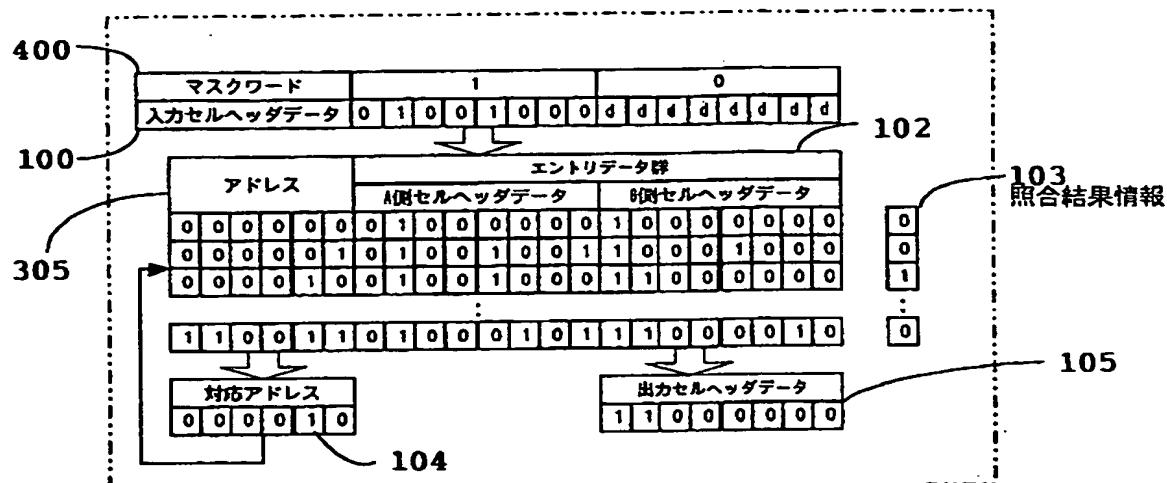
【図1】



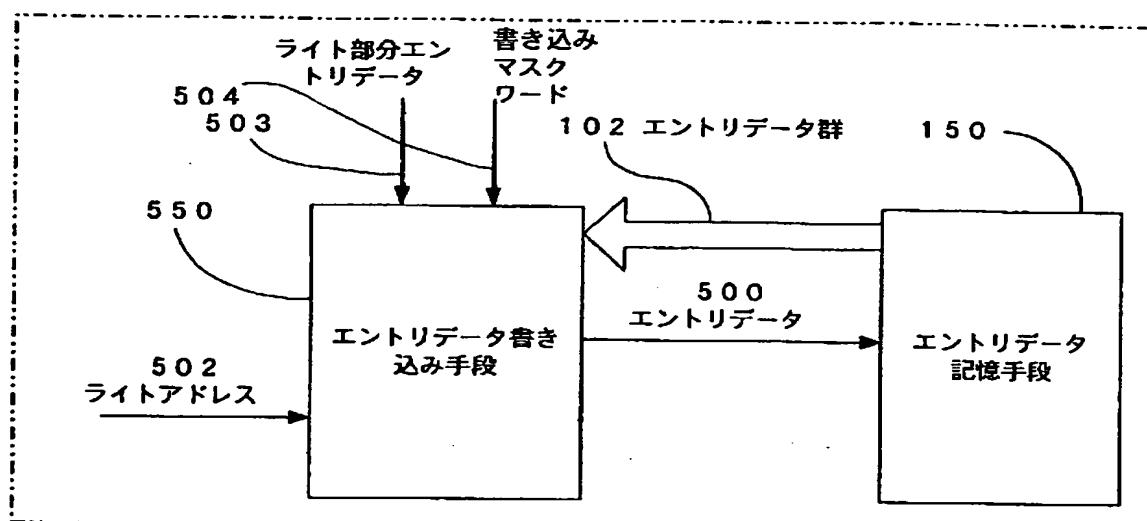
【図2】



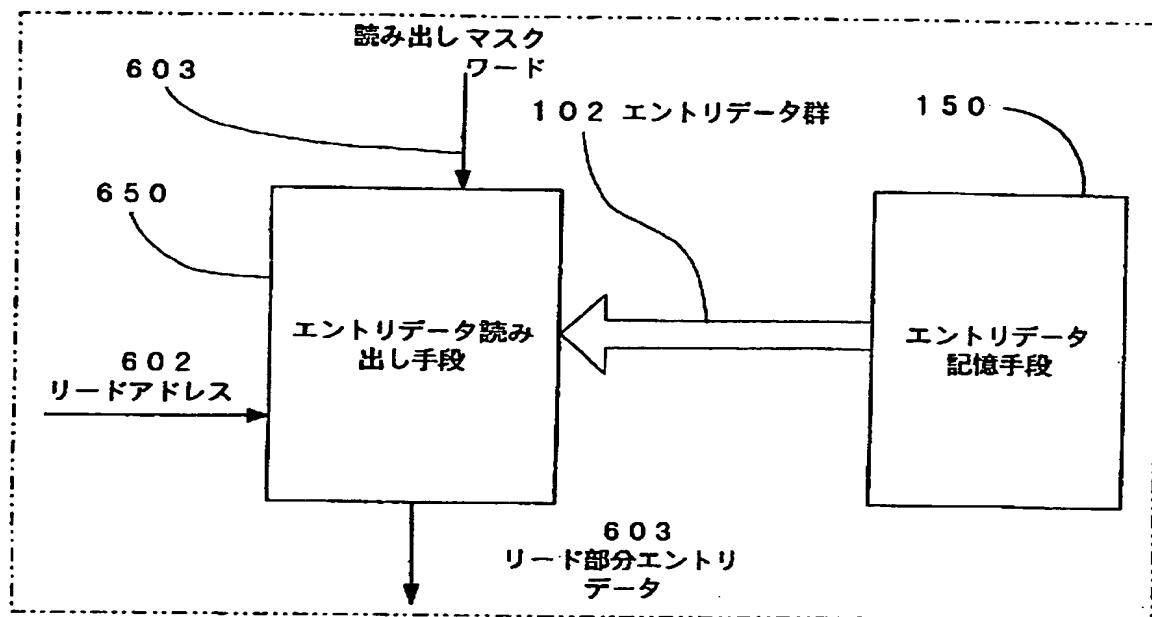
【図3】



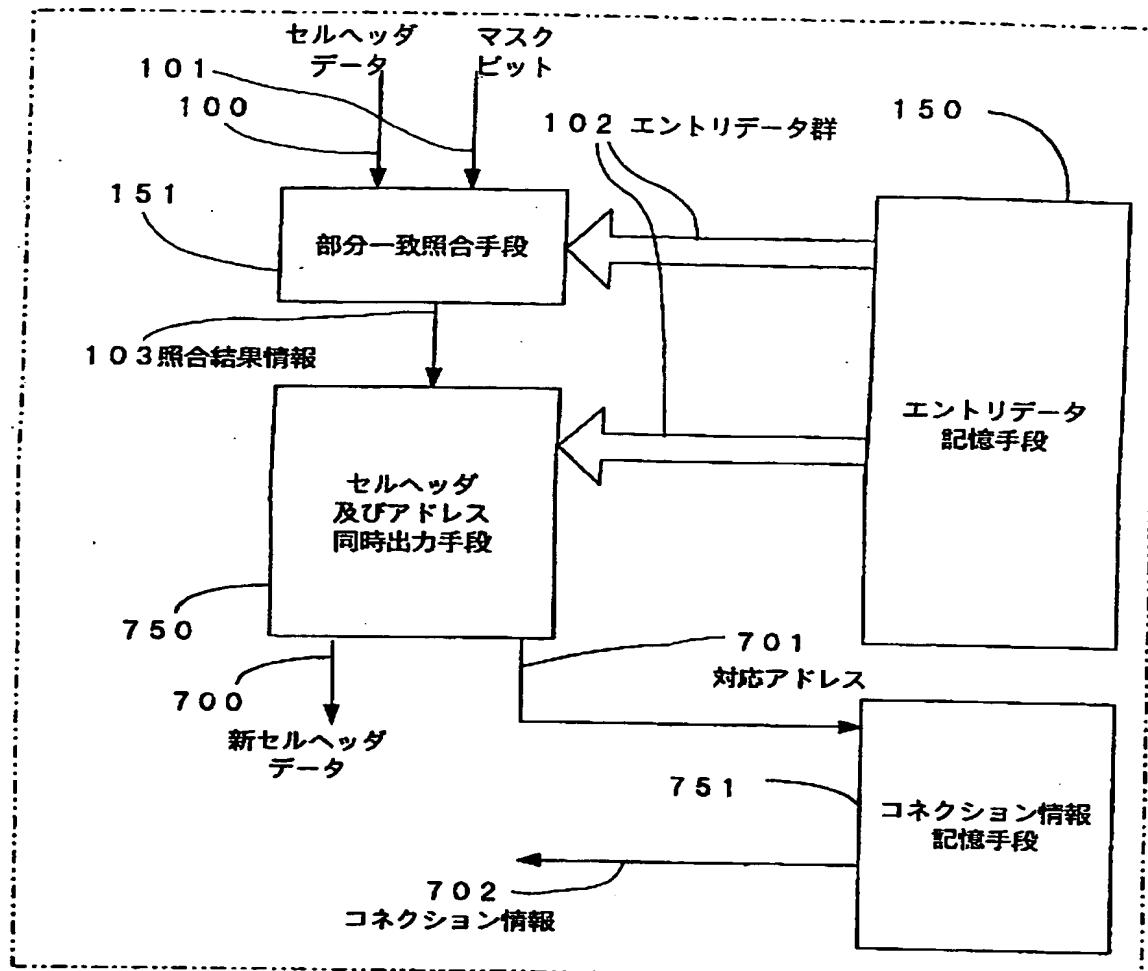
【図4】



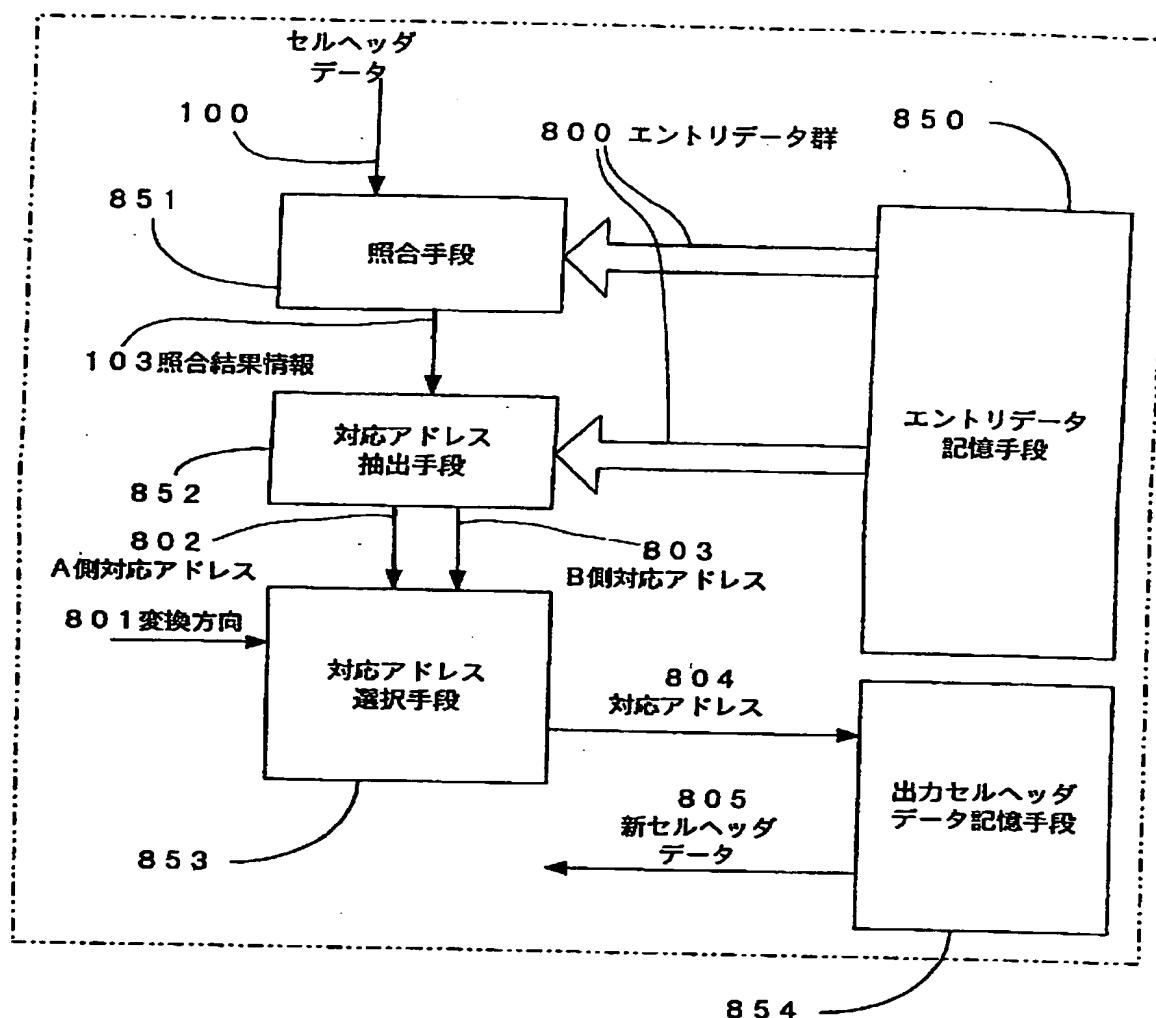
【図5】



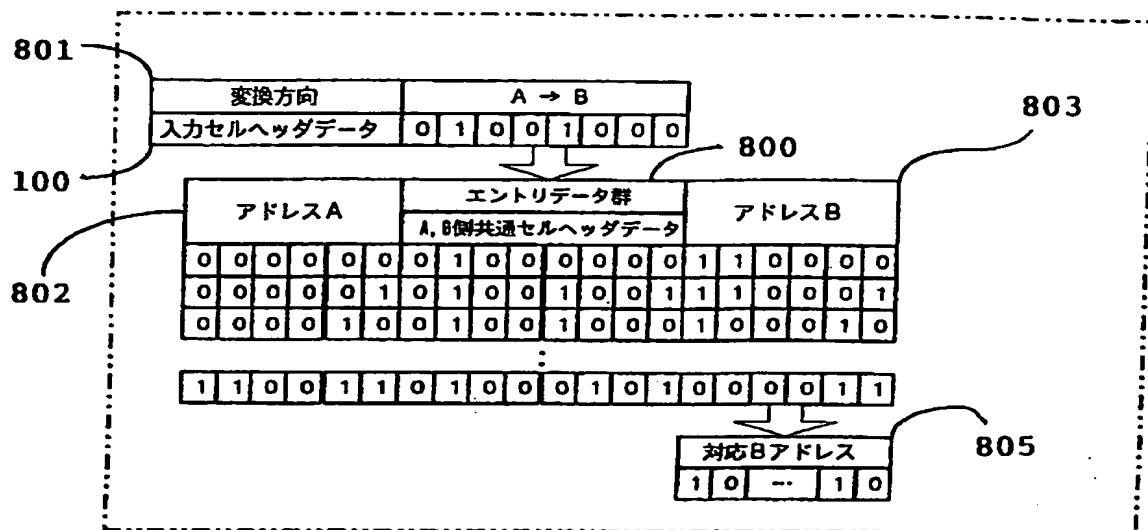
【図6】



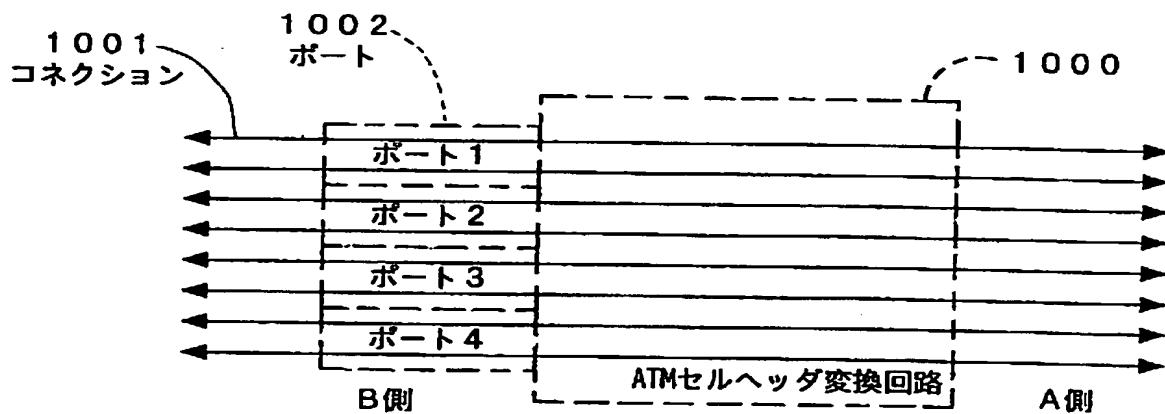
【図7】



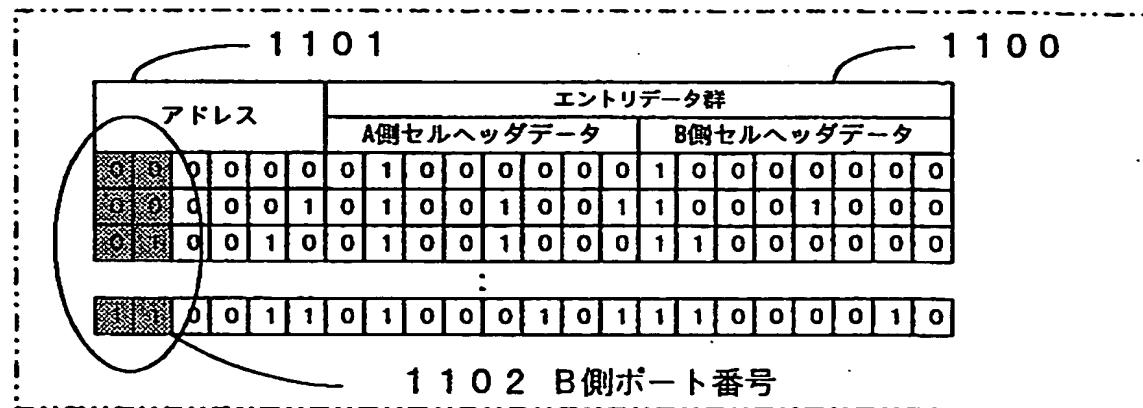
【図8】



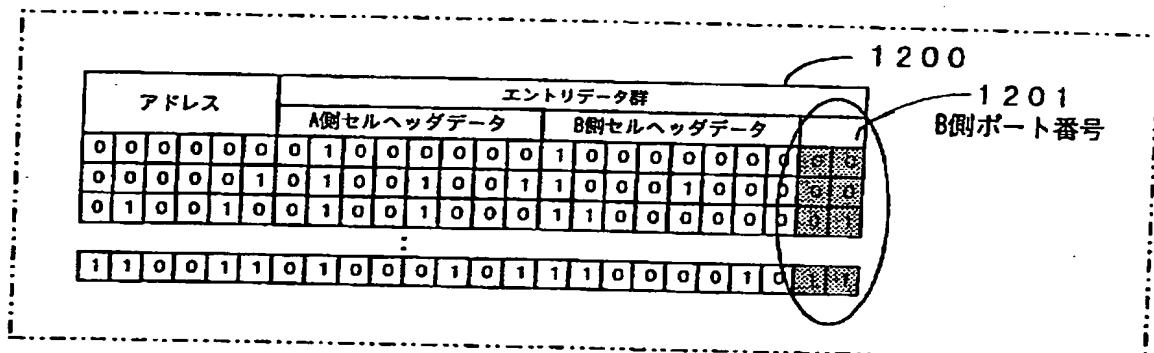
【図9】



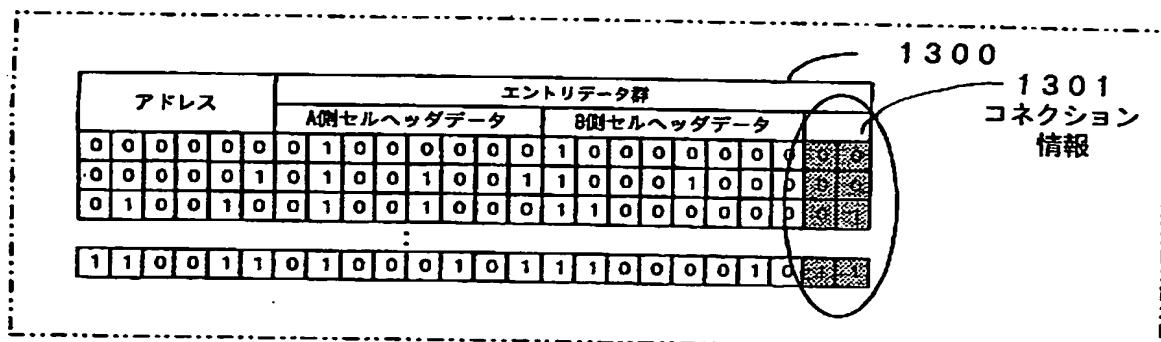
【図10】



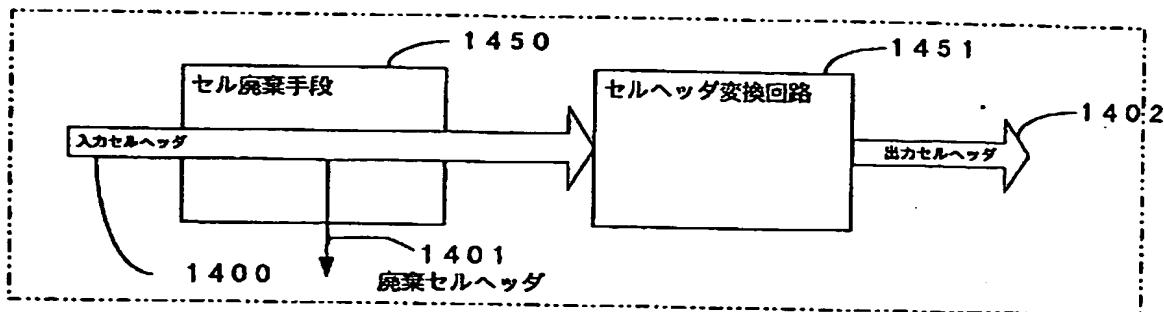
【図 1 1】



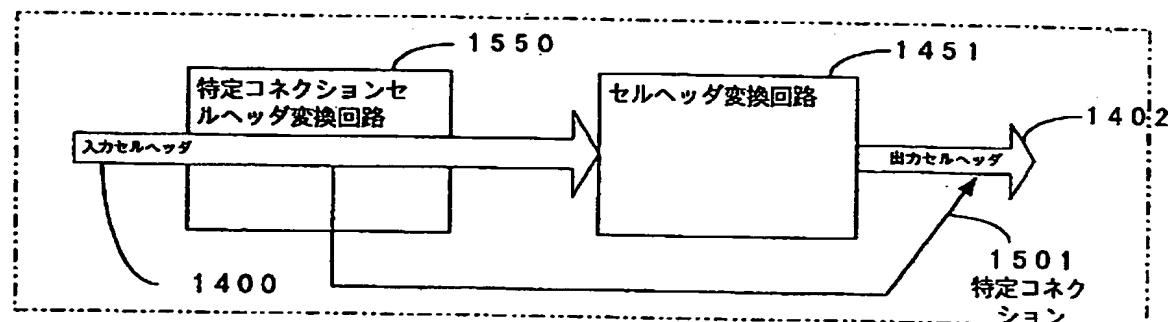
【図12】



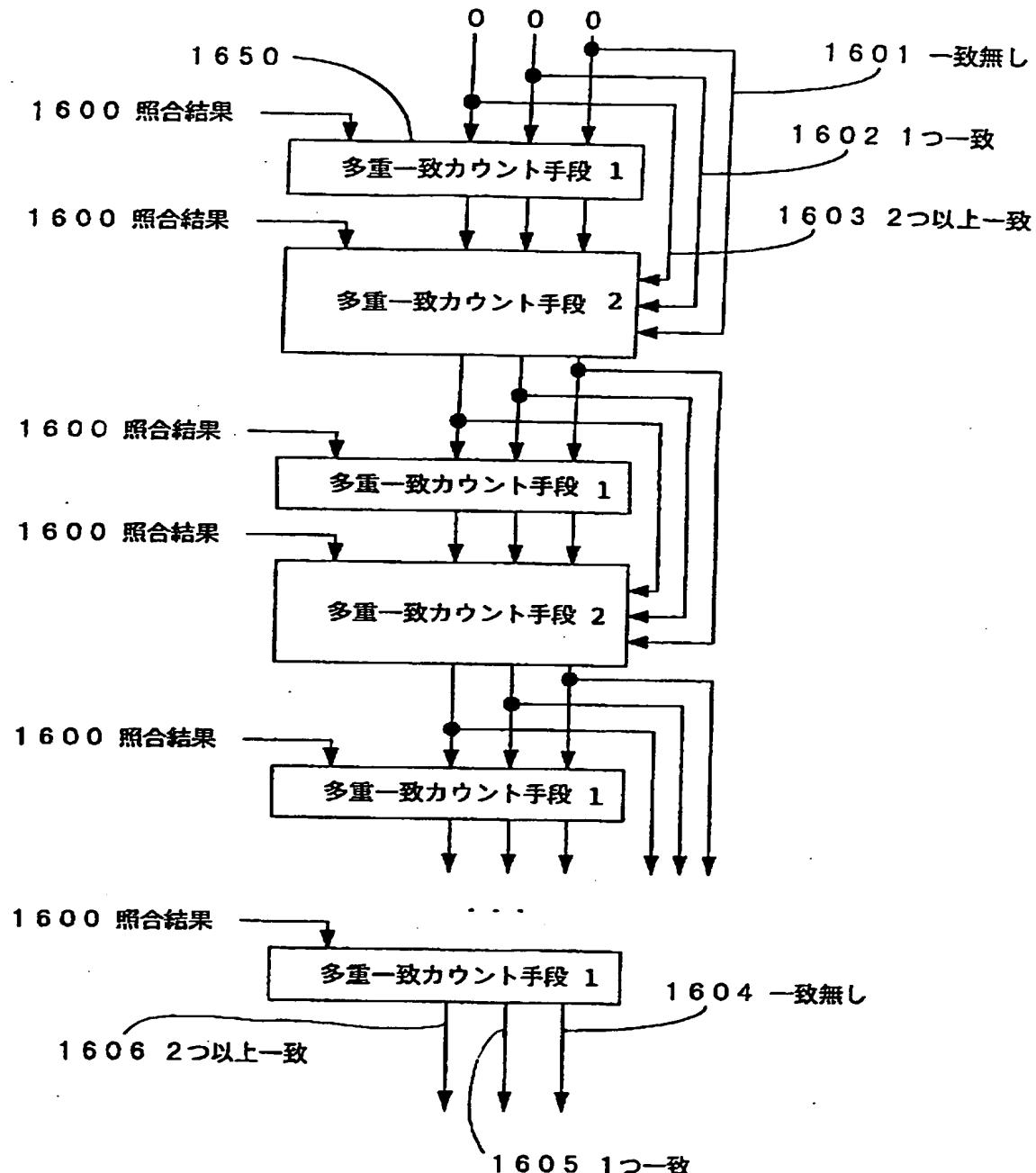
【図13】



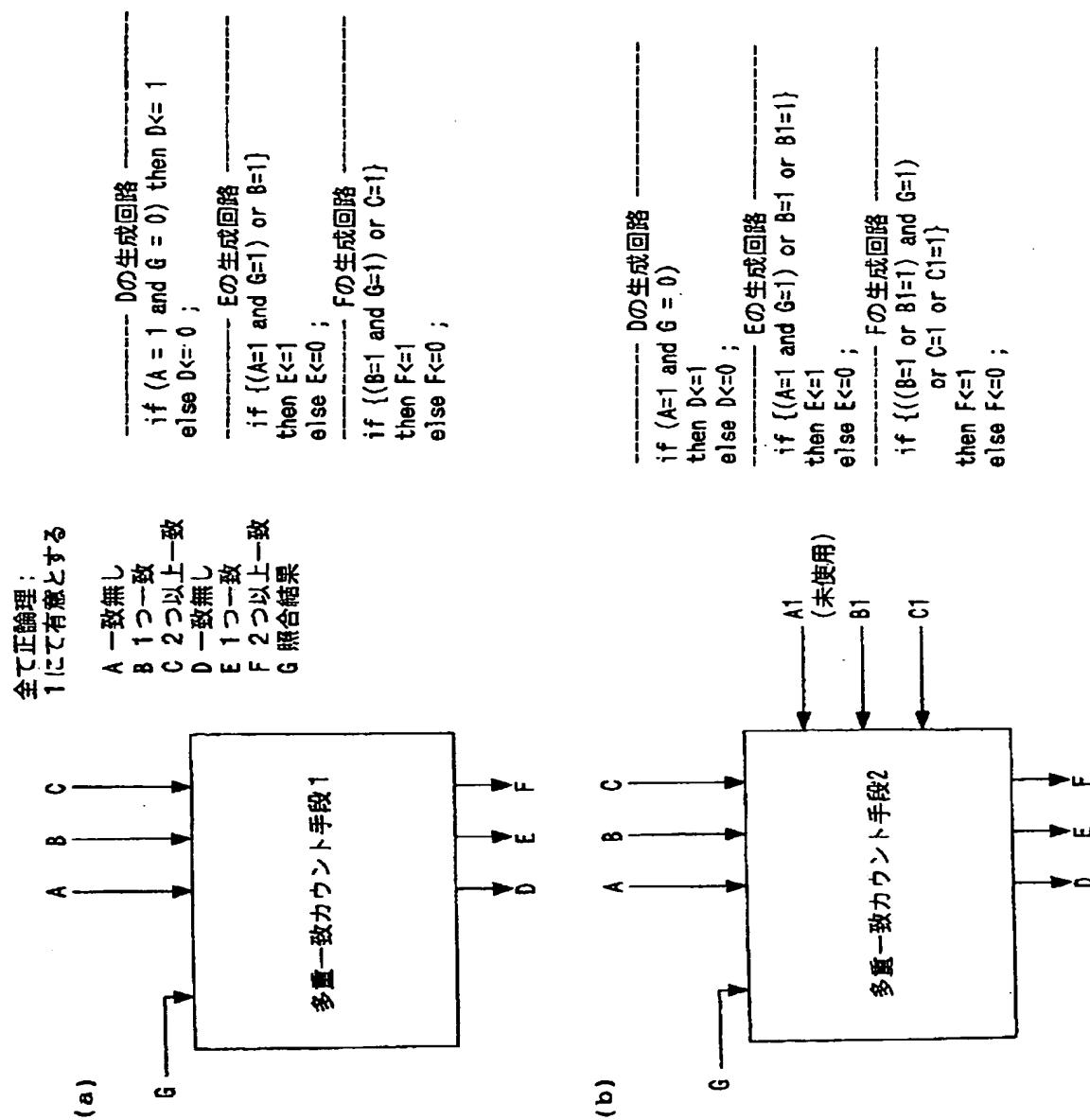
【図14】



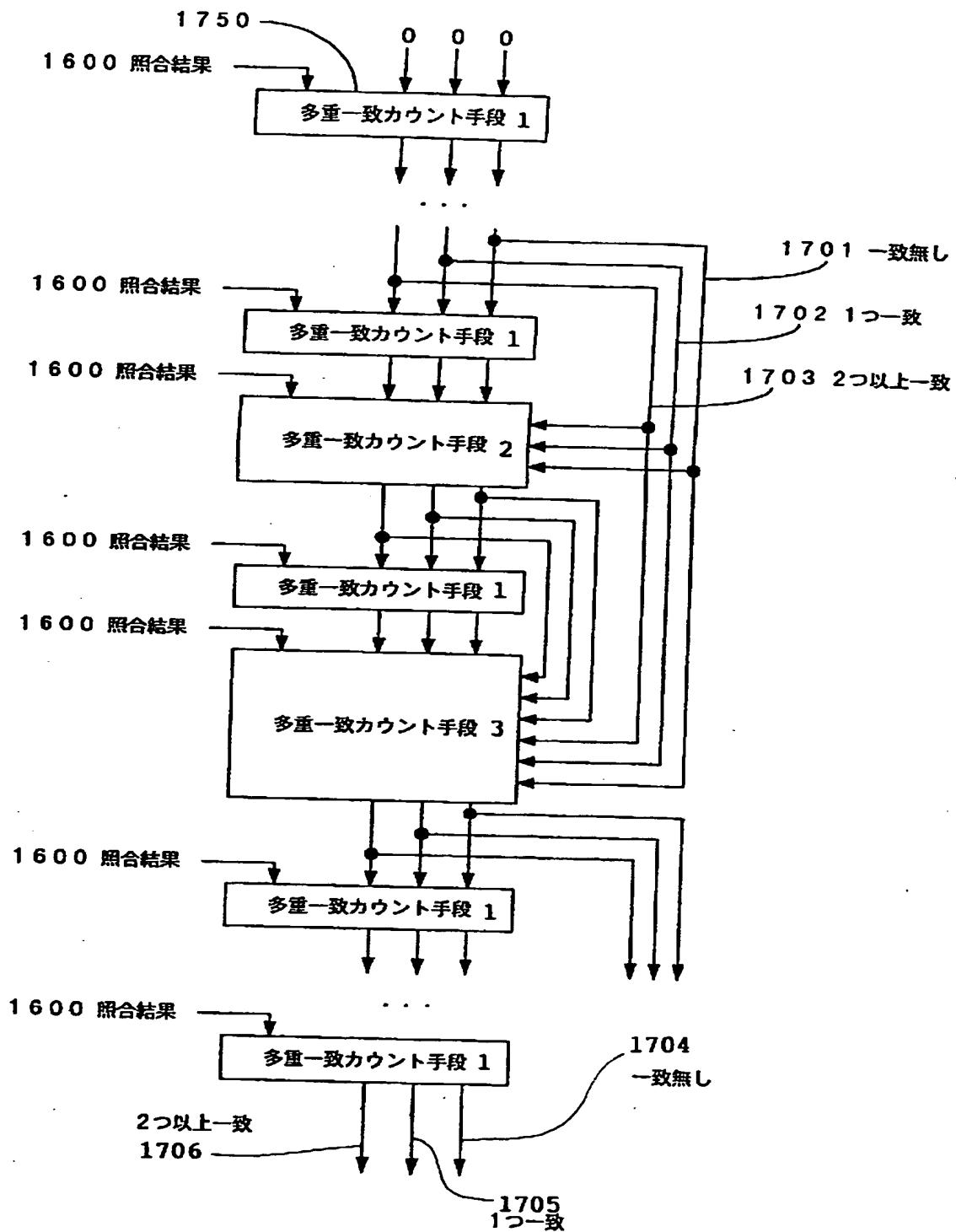
【図15】



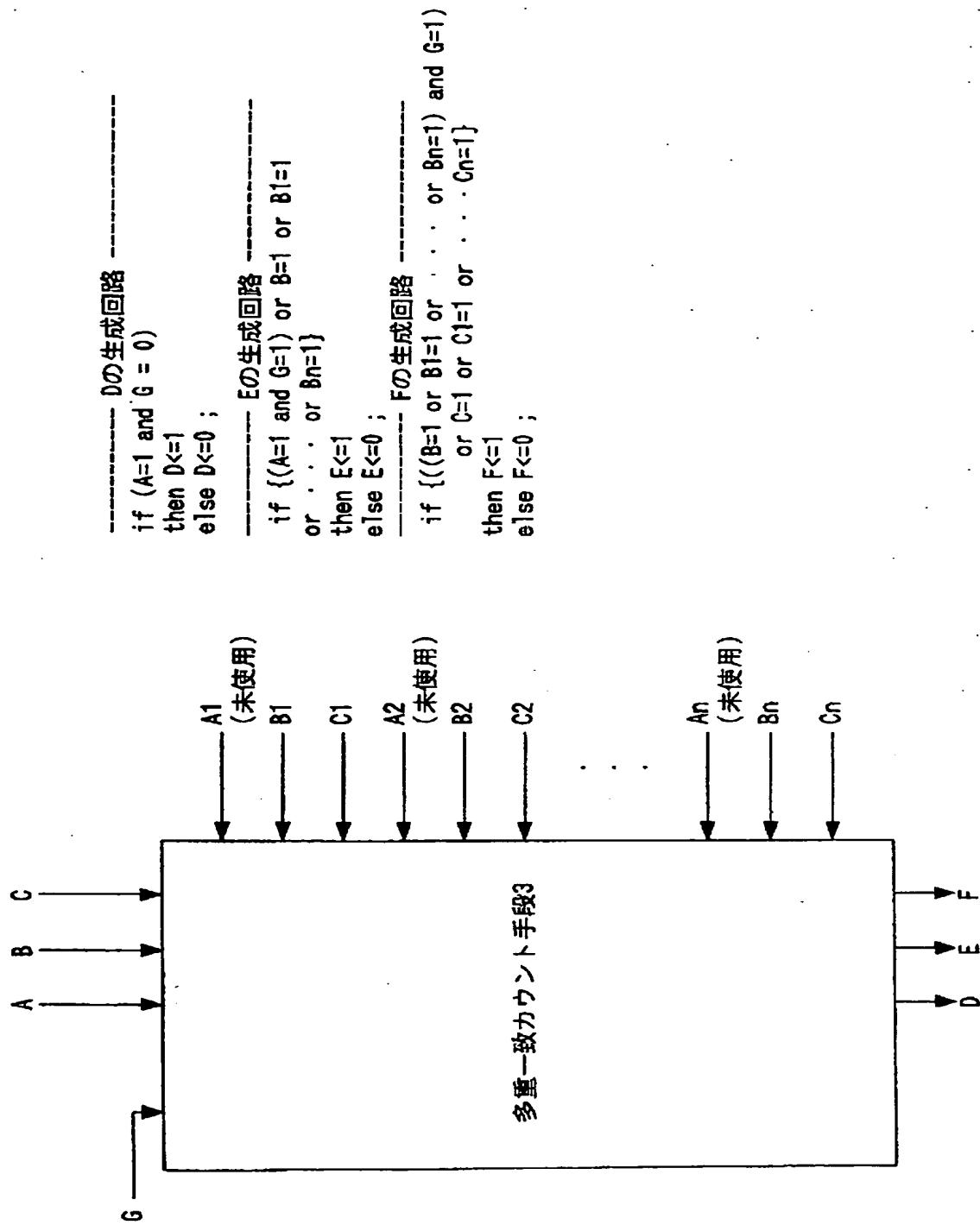
【図16】



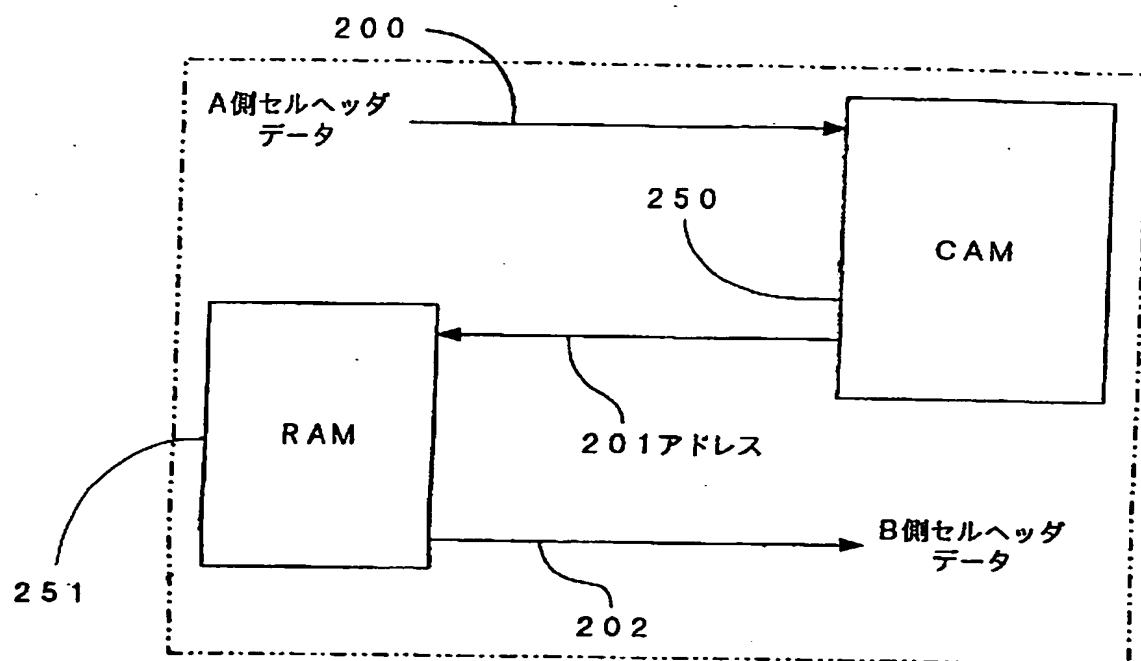
【図17】



【図18】



【図19】



【書類名】 要約書

【要約】

【課題】 ATMセルヘッダ変換回路及び方法において、両方向のセルヘッダ変換を1つのエントリデータ記憶手段を用いて簡単な回路で高速に実現する。

【解決手段】 エントリデータ記憶手段150は複数のアドレス305の各々毎に双方向のセルヘッダデータを対応付けて記憶する。入力セルヘッダデータ100を、入力セルヘッダデータの照合ビット位置を指定するマスクビット101に基づいてエントリデータ記憶手段に登録されているエントリデータ群102の一方と部分照合を行い、一致するアドレスの他方の新セルヘッダデータ105を出力する。

【選択図】 図2

認定・付加情報

特許出願の番号	特願2001-055849
受付番号	50100287046
書類名	特許願
担当官	第八担当上席 0097
作成日	平成13年 3月21日

＜認定情報・付加情報＞

【提出日】 平成13年 2月28日

次頁無

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社